

(19) 日本国特許庁 (J P)

(12) 公開実用新案公報 (U)

(11) 実用新案出願公開番号

実開平 5 - 1 1 5 2 7

(43) 公開日 平成 5 年 (1993) 2 月 1 2 日

(51) Int. Cl.

H03P 3/68

1/02

3/165

識別記号

庁内整理番号

F I

技術表示箇所

B 7328-5J

7239-5J

7328-5J

審査請求 未請求 請求項の数 3 (全 3 頁)

(21) 出願番号 実願平 3 - 5 8 7 2 3

(22) 出願日 平成 3 年 (1991) 7 月 2 5 日

(71) 出願人 0 0 0 0 0 6 0 1 3

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 考案者 小野 智彦

鎌倉市上町屋 3 2 5 番地 三菱電機株式会

社鎌倉製作所内

(74) 代理人 弁理士 高田 守 (外 1 名)

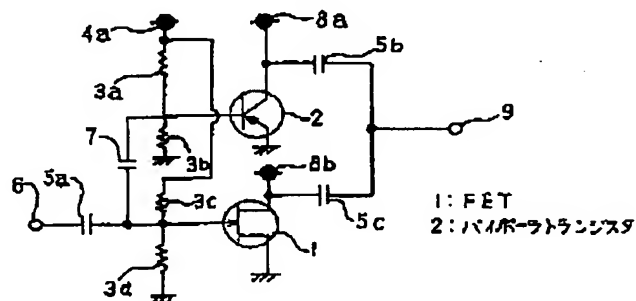
(54) 【考案の名称】 ブースタンプ

(57) 【要約】

【目的】 アンプのダイナミックレンジを拡大した上で、2つの動作領域を設定し、一方で低歪小電力増幅、他方で高効率大電力増幅を可能とするブースタンプを得る。

【構成】 アンプの増幅素子に FET 1 とバイポーラトランジスタ 2 を用い互いを並列接続する。上記 FET 1 のゲート端子とバイポーラトランジスタ 2 のベース端子をバイアス抵抗 3 を介して接続する。上記バイポーラトランジスタ 2 のベース端子とバイアス回路との間に定電流ダイオード 10 を接続する。

【効果】 電力増幅を広いダイナミックレンジにおいて低歪、高効率に行う。増幅モードとして2つのモードを持たせることができる。



【実用新案登録請求の範囲】

【請求項1】 電界効果トランジスタと、バイポーラトランジスタと、上記電界効果トランジスタのゲート端子及びバイポーラトランジスタのベース端子にバイアスを供給するバイアス抵抗と、このバイアス抵抗に接続されたバイアス端子と、上記ゲート端子あるいはベース端子に接続されたブロックコンデンサ及び入力端子と、上記ゲート端子とベース端子をバイパスするバイパスコンデンサと、上記電界効果トランジスタのドレイン端子及びバイポーラトランジスタのコレクタ端子にそれぞれ接続されたバイアス端子及びブロックコンデンサと、上記ドレイン端子とコレクタ端子のブロックコンデンサの各々に共通して接続される出力端子とを備えたことを特徴とするブースタアンプ。

【請求項2】 ブースタアンプのバイポーラトランジスタのベース端子と、電界効果トランジスタのゲート端子の間をバイアス抵抗を介して接続したことを特徴とする請求項1記載のブースタアンプ。

【請求項3】 ブースタアンプのバイポーラトランジスタのベース端子とバイアス抵抗の間に定電流ダイオードを接続したことを特徴とする請求項2記載のブースタアンプ。

【図面の簡単な説明】

【図1】 この考案の実施例1によるブースタアンプの構成を示す図である。

【図2】 この考案の実施例2によるブースタアンプの構成を示す図である。

【図3】 この考案の実施例3によるブースタアンプの構成を示す図である。

【図4】 この考案の実施例1、2、3によるブースタアンプの動作を示す図である。

【図5】 この考案の実施例3によるバイポーラトランジスタのベース電流の特性を示す図である。

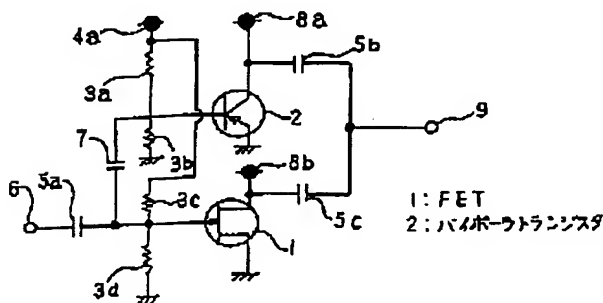
【図6】 従来のアンプを示す図である。

【図7】 従来のアンプの動作を示す図である。

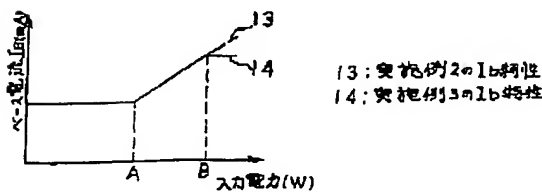
【符号の説明】

- 1 FET
- 2 バイポーラトランジスタ
- 3 バイアス抵抗
- 4 FETのゲート及びトランジスタのベース用バイアス端子
- 5 ブロックコンデンサ
- 6 入力端子
- 7 カプリングコンデンサ
- 8 FETのドレイン及びトランジスタのコレクタ用バイアス端子
- 9 出力端子
- 10 定電流ダイオード
- 11 実施例1のアンプ特性
- 12 実施例2のアンプ特性
- 13 実施例2のI_b特性
- 14 実施例3のI_b特性
- 15 A級動作特性
- 16 B級動作特性

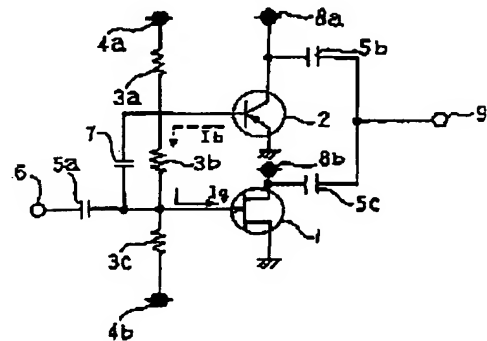
【図1】



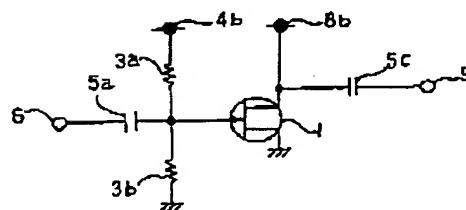
【図5】



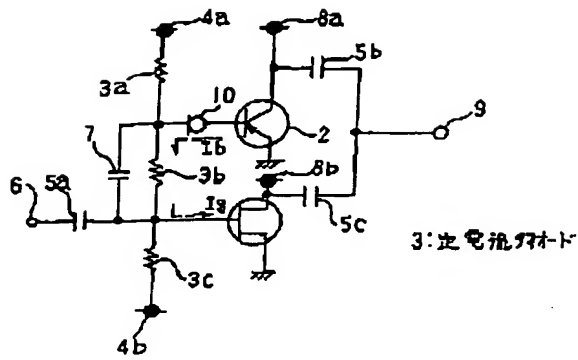
【図2】



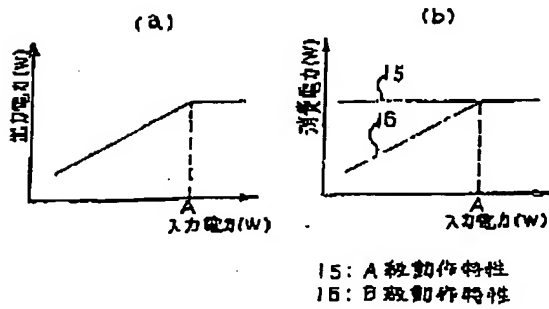
【図6】



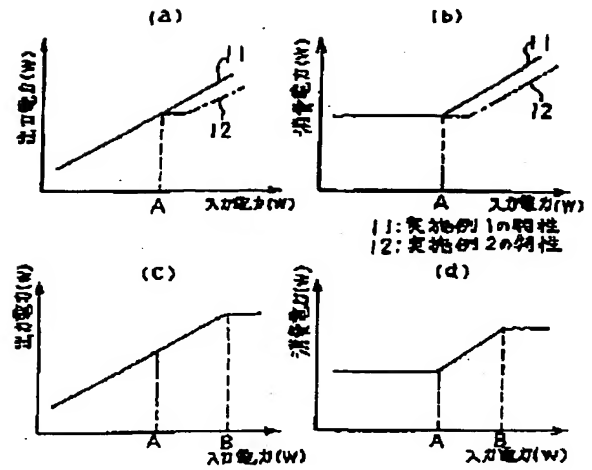
【図 3】



【図 7】



【図 4】



【考案の詳細な説明】

〔0001〕

【産業上の利用分野】

この考案は、信号出力を高効率にブーストするためのアンプに関するものである。

〔0002〕

【従来の技術】

図6は従来のアンプを示す図であり、図において1は電界効果トランジスタ（以下「FET」と称する）、3a、3bは電界効果トランジスタのゲート端子に接続されたバイアス抵抗、4a、8bはFET1のゲート及びドレイン端子に対するバイアス端子、5a、5cはFET1のゲート及びドレイン端子に接続されたブロックコンデンサ、6はアンプ入力端子、9はアンプ出力端子である。

〔0003〕

従来アンプは上記のように構成され、入力端子6より入力された信号電力はブロックコンデンサ5aを通過してFET1のゲート端子に入力され、FET1で増幅された後、ブロックコンデンサ5cを経由して出力端子9より出力される。このとき、入力端子6の入力電力と出力端子9の出力電力の関係はFET1が線形動作している領域と非線形動作している領域の2つの領域に分けれる。図7のaは上述の入力電力と出力電力の関係を表わしたものであり、入力電力がA点より大なる領域で出力電力は飽和特性を示す。ここで、図5におけるFET1がA級または、B級で動作した場合の消費電力のふるまいについて考えてみると、図7のbのように表わされ、15はA級動作特性で、入力電力に対する消費電力は一定である。16はB級動作特性を示し、入力電力の増加に伴い、A点に至るまで消費電力は増大するが、飽和するや否や、消費電力はA級動作の15と同様に一定値を保持するのが通例である。一般に、FETはバイポーラトランジスタに比べて低歪であるためA級で使用されるがアンプの効率を考えた時にはB級あるいはB級よりも効率の高いC級動作が望ましく、入力電力の大きさが変化するようなアンプの効率を稼ぐ目的で、B級、C級という動作状態が使用されることがある。

【0004】

【考案が解決しようとする課題】

上記のような従来のアンプでは、効率を稼ぐ目的でFETの動作点がB級あるいはC級等に設定されることが多く、このために入力電力を低くしてアンプを線形動作させたい領域でもアンプの非線形が生じ、振幅歪や位相歪の発生に伴い、複数信号入力時には混交調歪の発生が避けられなかった。また、A級で動作させた場合、歪の発生量は低くなるものの効率が低いという問題点があった。

【0005】

この考案は上記のような課題を解決するためになされたもので、入力電力が低く線形動作させたいところでは、消費電力を抑えて増幅し、入力電力が高く非線形部分では必要な出力を効率よく増幅することを目的としている。

【0006】

【課題を解決するための手段】

この考案に係るアンプにおいては、従来のFETを用いたアンプ回路に並列にバイポーラトランジスタを接続するものである。

【0007】

また、アンプの線形性をよくするためにFETのゲート端子とバイポーラトランジスタのベース端子をバイアス抵抗を介して接続するものである。

【0008】

更に、アンプの不要な消費電力増加を防ぐために、バイポーラトランジスタのベース端子に定電流ダイオードを接続するものである。

【0009】

【作用】

この考案におけるプースタアンプは、並列接続されたB級あるいはC級動作するトランジスタが、FETで増幅可能な領域よりも入力電力の大きなところで増幅動作を行うため、入力電力の大きなところでも必要な出力電力が効率よく取り出せる。

【0010】

また、バイポーラトランジスタのベース端子とFETのゲート端子をバイアス

抵抗を介して接続すれば、入出力特性の振幅の線形性を高めて高効率な増幅を行う。

【 0 0 1 1 】

更に、バイポーラトランジスタのベース端子の定電流ダイオードは、トランジスタのベース電流を制限するため、トランジスタで消費される電力の増加を制限できる。

【 0 0 1 2 】

【 実施例 】

実施例 1 .

以下、この考案の一実施例を図について説明する。図 1 において、1、3～6、8、9 は上記従来装置と全く同一のものである。2 はバイポーラトランジスタ（以下「トランジスタ」と称する）、7 は入力カプリング用のカプリングコンデンサである。

図 4 の a、b は図 1 に対する動作を示す図であり、a は図 1 における入出力特性、b は入力対消費電力特性である。

【 0 0 1 3 】

図 1 において、入力端子 6 より入力された信号電力はブロックコンデンサ 5 a を通って一方は F E T 1 へ、一方はカプリングコンデンサ 7 を介してトランジスタ 2 へ入力される。トランジスタ 2 の動作点あるいはトランジスタ 2 の能力を適当に選定することにより、F E T 1 が飽和を開始した後でトランジスタ 2 を動作させ、電力増幅を行うことが可能となる。図 4 の a、b は図 1 の実施例に対する動作を説明しており、図 4 a の 1 1 は実施例 1 での特性を示す。入力電力が F E T 1 の飽和点 A を過ぎると、トランジスタ 2 の動作によって出力電力が増大していく様子がわかる。図 4 b の 1 1 は本実施例の入力電力に対する消費電力の特性を示しており、A 点以降で入力が増加に従って消費電力が増加していく。トランジスタ 2 は効率を考慮して B 級あるいは C 級動作させられるため、入力電力が A 点よりも小さな領域ではトランジスタ 2 での電力消費がなく、F E T の特性を生かした低歪の電力増幅を行うことが可能である。一方入力電力が A 点よりも大きな領域では、トランジスタ 2 の高効率動作により、出力電力に応じて消費電力を

変化させることで無駄な電力をアンプで消費することがない。

[0 0 1 4]

実施例 2 .

この図 1 に示す実施例 1 では、入出力特性における F E T 1 からトランジスタ 2 への動作切替えが滑らかに行われることが少ない。図 4 a、b の 1 2 は本実施例の特性であり、実施例 1 ではこのような特性は得られ難いかわりに特性 1 1 で示すようにステップ特性を与えることができ、モードの切替えを行う際の領域設定が簡単である。しかし、異なった要求では、入出力特性において、2 つのデバイスの動作切替えをスムーズに行わせることが必要となる。それは、入力電力の大きさがダイナミックに A 点の付近を変化するような場合であるが、このような時には図 2 で示すブースタアンプが有効となる。図 2 においては、トランジスタ 2 のベース端子と F E T 1 のゲート端子をバイアス抵抗 3 b を介して接続されている。

先ず、F E T 1 が飽和を開始すると、通常、F E T 1 のゲート端子にはゲート電流 I_g が図 2 のように流れる。これは、F E T 1 の内部で F E T 1 に入力された電力が整流されることによって発生するものであり、F E T 1 の飽和を直流的に検出する一方法である。ゲート電流 I_g は、バイアス端子 4 a からバイアス抵抗 3 a ~ 3 c を通ってバイアス端子 4 c へと流れるバイアス電流に変化を与えることで、トランジスタ 2 のベース電圧をも変化させる。前もって、トランジスタ 2 のベース電圧がトランジスタ 2 をオフする状態に選定されていたならば、 I_g が流れない領域すなわち入力電力が低いところでは F E T 1 のみが増幅作用を有する。ところが、入力電力が増加し、前述の如くに I_g が流れ始めた場合はトランジスタ 2 のベース電圧はトランジスタ 2 をオンする状態へと導き、その結果、図 2 で示すベース電流 I_b を流せしめる。従って、図 4 の a、b で示した特性 1 1 のように、入力電力の A 点付近で滑らかな入出力特性を得ることができるようになる。消費電力は A 点付近で急激な上昇特性を示し、実施例 1 と同様 2 つのモードで効率の良い電力増幅を行う。更にトランジスタ 2 が自己バイアス動作している場合の実施例 1 に比べて、トランジスタ 2 での歪が低減される。

[0 0 1 5]

実施例 3 .

実施例 2 で述べたようなアンプで、トランジスタ 2 の出力能力が大きい場合、トランジスタ 2 が飽和するまで消費電力が増加し続ける。ダイナミックレンジの広いアンプでは、実施例 2 のような場合が望ましいのであるが、ダイナミックレンジが限定され、かつピーク入力時の電力消費を抑えて電源容量を限定したいような場合には、実施例 2 では不適当となる。このような場合に図 3 のような構成を用いる。図 3 で 10 は定電流ダイオードであり、トランジスタ 2 のベース端子とバイアス回路の間に直列に挿入されている。定電流ダイオード 10 は、トランジスタ 2 のベース電流を一定値に制限するため、トランジスタ 2 に流れるコレクタ電流を一定値以下にすることが可能となる。図 4 の c、d は、この際の入出力特性と入力対消費電力の特性を示し、入力電力の B 点よりも高い部分では出力電力、消費電力共に制限されている。図 5 は、トランジスタ 2 のベース電流の変化を表わしたものであり、13、14 はそれぞれ実施例 2 及び 3 の I_b 特性を示し、B 点以降での I_b の変化は、図 2 の実施例の場合 I_b 特性 13 のように、図 3 の実施例の場合 I_b 特性 14 のようになる。ベース電流 I_b の制限によって B 点以降での電力消費が抑えられ、電源容量も限定される。

【 0 0 1 6 】

【 考 案 の 効 果 】

以上のように、この考案によればバイポーラトランジスタと FET を並列動作させるので、ダイナミックレンジの広い範囲で歪が低くかつ効率の高いアンプを構成することができる。

【 0 0 1 7 】

また、トランジスタのベースと FET のゲートをバイアス抵抗を介して接続する方法によれば、入出力特性を滑らかに形成することができるため、より低歪化が図れる。

【 0 0 1 8 】

更に、トランジスタのベースとバイアス回路の間に定電流ダイオードを挿入することで、消費電力に制御をかけることができる。